

⑫ 公開特許公報(A)

平4-94237

⑤Int.Cl.⁵

識別記号

庁内整理番号

⑬公開 平成4年(1992)3月26日

H 04 L 12/48

7830-5K H 04 L 11/20

Z

審査請求 未請求 請求項の数 5 (全8頁)

⑭発明の名称 ATM交換通話路における優先制御方式

⑮特 願 平2-209153

⑯出 願 平2(1990)8月9日

⑰発明者 鴨 井 條 益 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰発明者 早 見 七 郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰発明者 加 藤 祐 司 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰発明者 下 江 敏 夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑰出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑰代理人 弁理士 青 木 朗 外4名

明 細 書

1. 発明の名称

ATM交換通話路における優先制御方式

2. 特許請求の範囲

1. 複数の入力ハイウェイ(3)と複数の出力ハイウェイ(4)とを有し、該入力ハイウェイ(3)から入るセルを所要のバスに沿って所望の出力ハイウェイへ出力する ATM交換方式の通話路において、

セルの廃棄特性に応じた優先度(P)を各入力セルに付加しておくと共に、出力ハイウェイ毎に入力ハイウェイの数だけ設けられた、セルの衝突回避を行うバッファメモリ(2-1, ..., 2-m)、

該バッファメモリ内のセル蓄積量を測定するセル蓄積量測定手段(6)、および

セル廃棄手段(8, 9, または10)を具備し、

該セル蓄積量が、予め決められたセル蓄積量を超えると該セル廃棄手段により優先度の低いセルを廃棄するようにしたことを特徴とする優先制御方式。

2. 該バッファメモリの間を、読み出しの権利

を与えるトークンを巡回させる読み出し多重制御線路で接続し、該トークンの到着間隔が予め決められたトークン到達間隔を越えると、該セル廃棄手段により優先度の低いセルを廃棄する請求項の1に記載の優先制御方式。

3. 該バッファメモリに書き込む前の入力ハイウェイ(3)上で、該セル廃棄手段(8)は優先度の低いセルを廃棄する請求項の1または2に記載の優先制御方式。

4. 該セル廃棄手段(9)は、該バッファメモリ内に既に蓄積されている優先度の低いセルを廃棄する請求項の1または2に記載の優先制御方式。

5. 該セル廃棄手段(10)は、該バッファメモリから次に読み出されるセルの優先度が低い場合、そのセルを廃棄する請求項の1または2に記載の優先制御方式。

3. 発明の詳細な説明

(概 要)

ATM交換通話路における優先制御方式に関し、バッファメモリの数を削減するとともに、バッ

ファからのセルの読み出し制御を単純化することを目的とし、

複数の入力ハイウェイと複数の出力ハイウェイとを有し、該入力ハイウェイから入るセルを所要のバスに沿って所望の出力ハイウェイへ出力する

ATM交換方式の通話路において、セルの廃棄特性に応じた優先度を各入力セルに付加しておくと共に、出力ハイウェイ毎に入力ハイウェイの数だけ設けられた、セルの衝突回避を行うバッファメモリ、バッファメモリ内のセル蓄積量を測定するセル蓄積量測定手段、およびセル廃棄手段を具備し、セル蓄積量が、予め決められたセル蓄積量を超えると該セル廃棄手段により優先度の低いセルを破棄するように構成する。

〔産業上の利用分野〕

本発明は、ATM(Asynchronous Transfer Mode)交換通話路における優先制御方式に関する。

ATM交換方式では、呼の受付時に網で使用する予想帯域を申告してもらい、それをもとに通話

部83で判別し、優先度に応じてバッファ制御部84または86の制御により各々のバッファメモリ81または85に蓄積される。バッファメモリからの読み出しは、読み出し順序制御部88の制御の下にバッファ制御部84または86を制御して優先クラスの高いほうから優先的にセレクト87を介して出力ハイウェイに読み出す。

〔発明が解決しようとする課題〕

上記従来の方式では、セルの優先クラスの割合が不明であるため、通話路のバッファは優先クラスの数だけ用意しなければならないのでハードウェアが膨大であると共に、その読み出し制御が複雑であるといった問題があった。

本発明の目的は、ATM交換通話路における優先制御方式において、ハードウェアの削減と読み出し制御の簡単化を図ることにある。

〔課題を解決するための手段〕

第1図は本発明の原理を示すブロック図である。

路の帯域管理をしルーティング等のトラヒック制御を行っているが、入力されるトラヒックのバースト性の影響や通信異常等により、申告された帯域より大きいトラヒックが入力され、網が過負荷になると、セルの廃棄が生じる。

これを防止するため、予めセルを廃棄特性に応じた優先クラスに分けて転送し、網が過負荷になったときに優先クラスの低いセルを制限することで網の負荷を軽減し優先クラスの高いセルを優先的に通して廃棄特性を満足させる制御が必要である。

〔従来の技術〕

第8図は、従来の優先制御装置の構成を示すブロック図である。従来の優先制御方式では、通話路のバッファメモリが、高優先度セル用バッファメモリ81および低優先度セル用バッファメモリ85のように、優先クラス毎に分割されており、有効セル到着検出部82で入力セルを検出し、入力されたセルの優先クラスをプライオリティ検出

同図において、(a)は通話路の構成を示すブロック図、(b)は通話路の内のバッファ部の構成を示すブロック図である。(a)に示すように、本発明によるATM交換通話路は、複数の入力ハイウェイ3と複数の出力ハイウェイ4とを有し、入力ハイウェイ3から入るセルを所要のバスに沿って所望の出力ハイウェイへ出力する複数の通話ブロック1-1ないし1-nを備え、通話ブロックはそれぞれ、対応する出力ハイウェイ(1ないしn)4毎に入力ハイウェイの数だけ設けられた、セルの衝突回避を行うバッファ部2-1, ..., 2-mを含んでいる。

(b)に示すように、各セルには、セルの廃棄特性に応じた優先度Pが付加されている。各バッファ部は、バッファメモリ5と、バッファメモリ5内のセル蓄積量を測定するセル蓄積量測定手段6と、セル廃棄手段8, 9, または10を具備する。セル蓄積量測定手段6において、セル蓄積量が、予め決められたセル蓄積量を超えるとセル廃棄手段8, 9, または10により優先度の低いセルを廃棄するように構成されている。

バッファ部2-1 ~2 -n の間を、読み出しの権利を与えるトークンを巡回させる読み出し多重制御線12で接続し、トークンの到着間隔が予め決められたトークン到達間隔を越えると、セル廃棄手段8、9、または10により優先度の低いセルを廃棄するように制御する読み出し多重制御手段7を設けてもよい。

バッファメモリ5に書き込む前の入力ハイウェイ3上で、セル廃棄手段8が優先度の低いセルを廃棄するように構成することが好ましい。

セル廃棄手段9は、バッファメモリ5内に既に蓄積されている優先度の低いセルを廃棄するものであることが好ましい。

セル廃棄手段10は、バッファメモリ5から次に読み出されるセルの優先度が低い場合、そのセルを廃棄するものであることが好ましい。

(作用)

セル蓄積量測定手段6と、セル廃棄手段8、9、または10を設けたことにより、各バッファ部に

は通過させないゲートである。

この第1の実施例では、セル蓄積量測定装置6により測定したバッファメモリ5のセル蓄積量が、予め決められた蓄積量(しきい値)を超えたこと、読み出し多重制御線12より読み出し多重制御部7に入力される読み出し権利獲得のためのトークンの到着間隔が予め決められた時間より長いこと、およびプライオリティ検出部24にて、バッファメモリの入力側で入力された有効セルのプライオリティ(セルの廃棄特性に応じた優先度)が低プライオリティであることを条件に、NANDゲート25からローレベルが出力され、それによりゲート26は有効セル到着検出部23の出力の通過を禁止する。こうして、優先度の低いセルに対しては書き込みカウンタ21へ書き込みパルスを送出しないことにより、バッファメモリ5にセルを書かないようしセルを廃棄するように制御する。

第3図は第2図に示したセル蓄積量測定装置6の構成を示す。第3図において、31はカウンタの最大値を出力するもの、32はコンパレータ、

おけるバッファメモリの数は1個ですむ。また、バッファメモリの数は1個なので、従来のように読み出し順序を制御する必要はなく、制御が簡単化される。

(実施例)

全図を通じて、同一物には同一の参照番号を付してある。

第2図は本発明の第1の実施例の構成を示すブロック図であり、第1図(a)に示した通話路内のバッファ部の1つの具体例を示したものである。第2図において、21は書き込みカウンタ、22は読み出しカウンタ、23は有効セル到着検出部、24は入力セルに含まれている優先度が低プライオリティのときにハイレベルを出力するプライオリティ検出部、25はプライオリティ検出部24、セル蓄積量測定装置6、および読み出し多重制御部7の出力を受けるNANDゲート、26は有効セル到着検出部23から出力される有効セルをNANDゲート25の出力に応じて通過させまた

33はカウンタ最大値から読み出しカウンタ22の値を差し引く減算器、34は減算器33の出力と書き込みカウンタ21の出力を加算する加算器、35は書き込みカウンタ21の値Aから読み出しカウンタ22の値Bを差し引く減算器、36はコンパレータ32の出力に応じて減算器35の出力と加算器34の出力のいずれかを出力するセレクト、37はセレクト36の出力と所定のしきい値を比較するコンパレータである。

通常、バッファメモリ5をFIFO動作させると、書き込みカウンタ21の値Aと読み出しカウンタ22の値Bに大小関係があるため、各々に対してセル蓄積量を測定する必要がある。本構成では $A \geq B$ の場合は減算器35によりAとBの補数を加算し、また $A < B$ の場合は先ず減算器33によりカウンタの最大値とBの補数を加算し、加算器34によりその結果とAを加算する。この2つの演算結果をコンパレータ36にて、コンパレータ32から出力されるAとBの大小関係に応じて選択したのがセル蓄積量になり、それをコンパレータ

37にて予め決められたセル量(しきい値)と比較しそれより多かった場合にセル廃棄手段へ信号を送出する。

第4図は第2図に示した読出し多重制御部7の構成を示すブロック図である。第4図において、41はセル蓄積量測定装置6から送られてくるセル有りの情報を、読出し多重制御線12からのトークンに応じてラッチし、読出し多重制御線12を介して送られてくるセルの長さを示す読出しフレームの立ち上がりに応じて内容をリセットするレジスタ、42はトークンの時間間隔を測定するカウンタ、43はカウンタ43のカウント値を所定しきい値と比較するコンパレータ、44はレジスタ41からセル有りの情報が出力されたときのみ読出し多重制御線12上のトークンを出力し、セル無しの場合は読出しフレームのみを出力するセレクトである。

第5図は第4図に示した読出し多重部の動作を説明するタイムチャートである。第4図および第5図を参照して読出し多重部の動作を説明する。

化できると共に、出力ハイウェイが使用できるにも係らず誤ってセルを廃棄することが無くなる。この使用率の検出は入力されたトークンをカウンタ42のロードへ入れ、コンパレータ43で次のトークンまでのカウンタ値を予め決められたしきい値と比較し、カウンタ値がしきい値以上ならNANDゲート25にハイレベル信号を送出することで実現している。

第6図は本発明の第2の実施例の構成を示すブロック図である。同図において、61はプライオリティ検出部、62は有効セル到着検出部、63はセレクト、64は空きアドレス格納メモリ64、65は高優先度セルアドレス格納メモリ、66は低優先度セルアドレス格納メモリ、67はセレクトである。

この第2の実施例では、バッファメモリ5のセル蓄積量を測定し予め決められた蓄積量(しきい値)を超えると共に、読み出し多重制御線より入力される読みだし権利獲得のためのトークンの到着間隔が予め決められた時間より長い場合、バッ

読み出し多重制御線12から読み出し権利を獲得するためのトークンが入力されると、セル蓄積量測定装置6(第2図)から入力されるバッファメモリ5内のセルの有無情報をレジスタ41にラッチする。

バッファメモリ5内にセルがあれば読出しカウンタ22にその信号を送出してカウンタ22をインクリメントすることによりバッファメモリからセルをハイウェイに読み出す。この読み出しと同時に、トークンは読出し多重制御線12を介して次段のバッファ部に送出される。

又、バッファメモリ5内にセルが無い場合は、入力されたトークンがすぐに読出し多重制御線12を介して次段のバッファメモリに送出される。

つまり、出力ハイウェイ毎に入力ハイウェイの数だけ設けられた衝突回避を行うバッファメモリに均等にセルが蓄積されていればトークンの間隔は長く、偏って蓄積されていれば逆にトークンの間隔は短くなる。これにより、出力ハイウェイの使用率が各々のバッファ部で判断でき制御が分散

ファメモリに既に書き込まれたセルのうち、優先度の低いセルのみバッファメモリから廃棄するよう制御する。

すなわち、予めバッファメモリ5の空きアドレスを空きアドレス格納メモリ64に書き込んでおき、有効セルの到着を有効セル到着検出部62で検出すると、空きアドレス格納メモリ64から空きアドレスを読み出しそのアドレスにセルを書き込むと共に、セルの優先度に従って書き込まれたアドレスを各々のアドレス格納メモリ(FIFO)65または66に書き込む。バッファメモリ5からはトークンが入力される度に各優先度セルに対して用意されたアドレス格納メモリ65または66に蓄積されたアドレスを順次読み出すことでセルを出力する。また、読み出されたアドレスは再び空きアドレス格納メモリ64へ書き込まれる。ここで、セル蓄積量測定装置6においてセル蓄積量がしきい値を超え、且つ、読出し多重制御装置7においてトークンの間隔がしきい値より長い場合、低優先度セル用アドレス格納メモリ66をリセッ

とし、格納されていたアドレスを空きアドレス格納メモリ64に書き込むことで、バッファメモリ5内の低優先度セルのみ廃棄する。

第7図は本発明の第3の実施例の構成を示すブロック図である。

この第3の実施例はバッファメモリ5のセル蓄積量を測定し予め決められた蓄積量(しきい値)を超えると共に、読出し多重制御線より入力される読みだし権利獲得のためのトークンの到着間隔が予め決められた時間より長い場合、バッファメモリから次に読み出されるセルのうち、優先度の低いセルのみ廃棄するよう制御する。

第3の実施例の構成は第2の実施例のそれとほぼ同じで、異なるのはセル蓄積量がしきい値を超え、且つ、トークンの間隔がしきい値より長い場合、低優先度セル用アドレス格納メモリ66をリセットする代わりにORゲート71を介して読出し信号を与え、低優先度セル用アドレス格納メモリ66の次に読みだされるべきセルのアドレスを空読みする(セルは読みださない)と共に、格納

されていたアドレスを空きアドレス格納メモリ64に書き込むことで、高優先度セルを出力ハイウェイへ優先的に送出する点である。

(発明の効果)

以上の説明から明らかなように、本発明により、セル蓄積量測定手段とトークン間隔を測定する読出し多重制御手段とを設けたことにより、優先度にかかわらず各バッファ部には単一のバッファメモリを設ければよく、優先度に応じてバッファメモリを複数設ける必要がなくなるのでハードウェアの大幅な削減が可能である。

また、バッファメモリ数は1個なので、従来のように読み出し順序を制御する必要はなく、制御が簡単化される。

さらに、廃棄率に関して低優先度のセルを廃棄することにより網の過負荷を抑制し、それにより廃棄に関して高優先度のセルの廃棄率特性を満足させることができる。

さらにまた、通話路のバッファメモリのセル蓄

積量を測定し、読み出し多重制御のトークン間隔により廃棄制御を行っているため、臨時的なバーストトラックの変動に対応できると共に、出力ハイウェイの使用率が各々のバッファで判断できることで制御の分散化や、出力ハイウェイが使用できるにも係わらず誤ってセルを廃棄することが無くなる。

4. 図面の簡単な説明

第1図は本発明の原理ブロック図、

第2図は本発明の第1の実施例を示すブロック図、

第3図は第2図に示したセル蓄積量測定装置の構成を示すブロック図、

第4図は第2図に示した読出し多重制御部の構成を示すブロック図、

第5図は第4図の読出し多重制御部の動作を説明するタイムチャート、

第6図は本発明の第2の実施例を示すブロック図、

第7図は本発明の第3の実施例を示すブロック

図、

第8図は従来の構成例を示すブロック図である。

図において、

1-1 ないし1-n は通話ブロック、

2-1 ないし2-m はバッファ部、

3 は入力ハイウェイ、

4 は出力ハイウェイ、

5 はバッファメモリ、

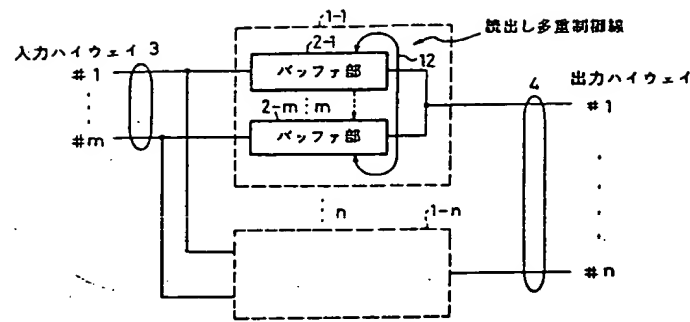
6 はセル蓄積量測定手段、

7 は読出し多重制御手段、

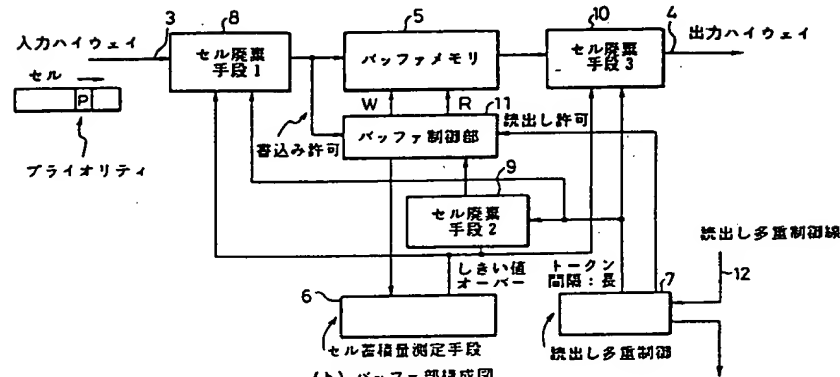
8、9、および10 はセル廃棄手段、

11 はバッファ制御部、

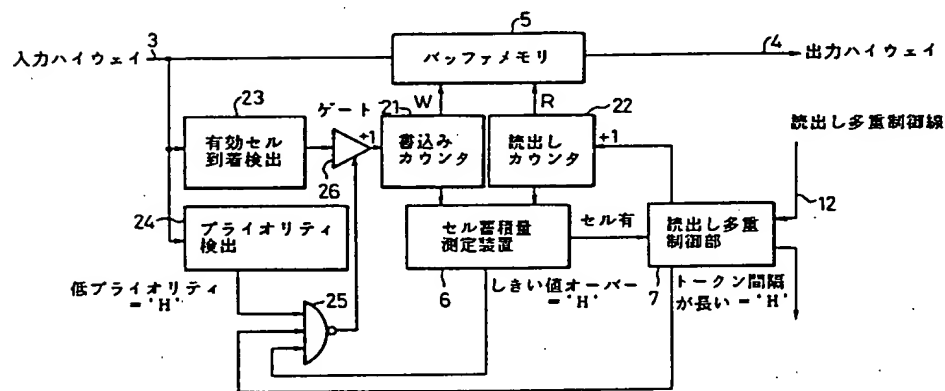
12 は読出し多重制御線である。



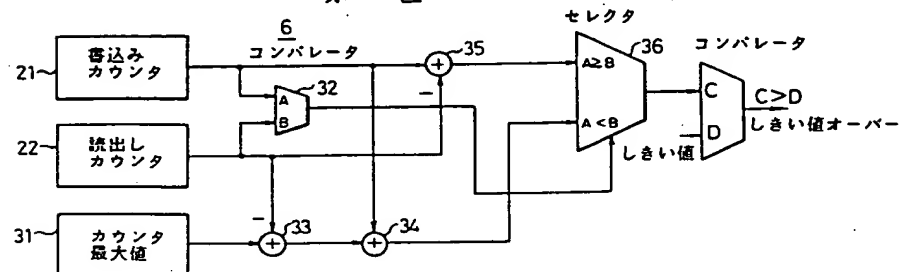
(a) 通路構成図



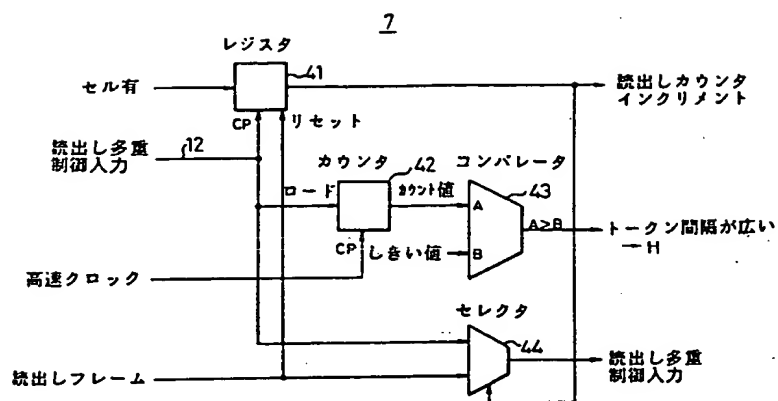
(b) バッファ部構成図
本発明の原理図
第1図



本発明の実施例1
第2図

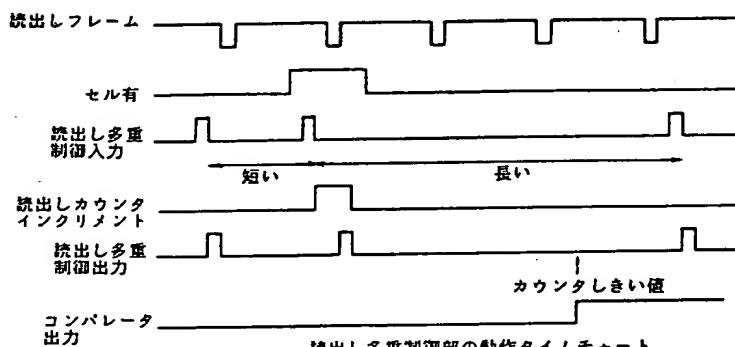


セル蓄積量測定装置の構成
第3図



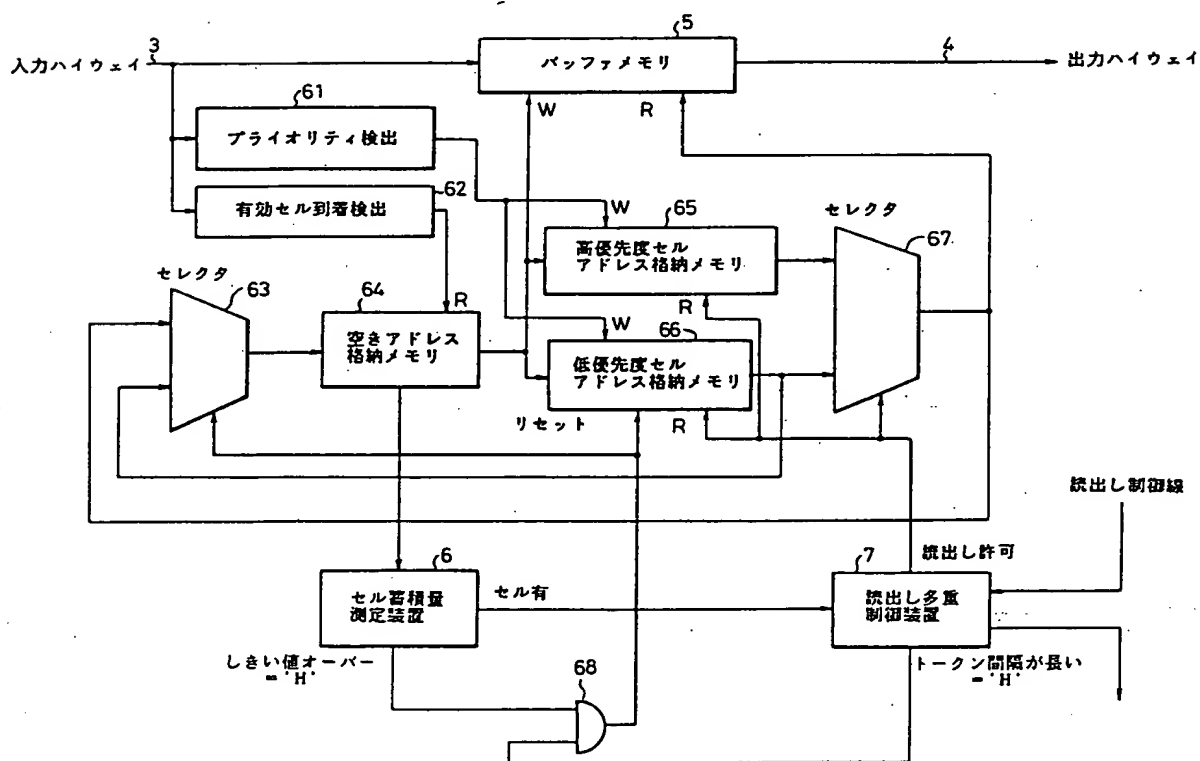
読出し多重制御部の構成

第4図



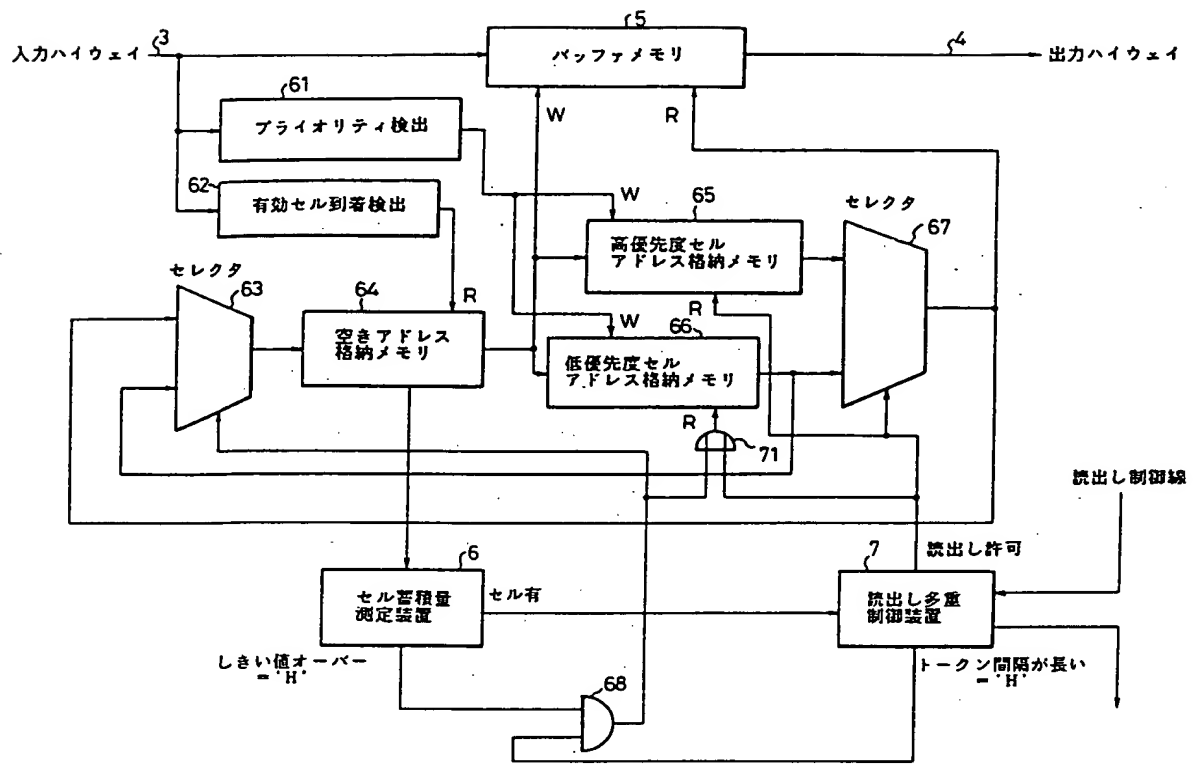
読出し多重制御部の動作タイムチャート

第5図



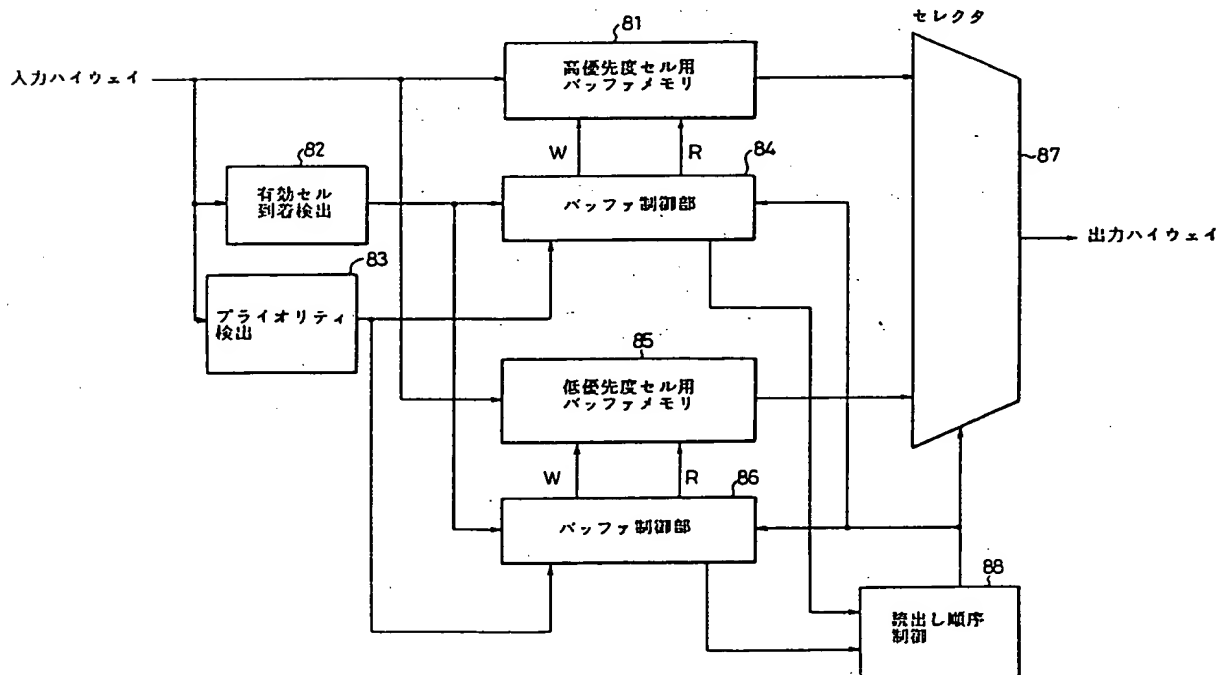
本発明の実施例2

第6図



本発明の実施例 3

第 7 図



従来の構成例

第 8 図